



AA

#6

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Valter ORLANDINI

Serial No.: 09/972,776

Confirmation No.: 4613

Filed: October 5, 2001

For: DIGITAL DATA TRANSMISSION
SYSTEM WITH DEVICE FOR CORRECTING
THE BASELINE WANDER

: Atty. Docket No.: 00-AG-036/GC

: Group Art Unit: 2631

COPY OF PAPERS
ORIGINALLY FILEDCLAIM FOR PRIORITY UNDER 35 USC §119Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC §119, there is filed herewith a certified copy of European Application No. 00830654.0, filed October 6, 2000, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicant hereby claims priority.

Respectfully submitted,

Date:

1/14/02

By:

Stephen Bongini
Reg. No. 40,917FLEIT, KAIN, GIBBONS,
GUTMAN & BONGINI P.L.
One Boca Commerce Center
551 NW 77th Street, Suite 111
Boca Raton, Florida 33487-1330
Telephone: (561) 989-9811
Facsimile: (561) 989-9812

THIS PAGE BLANK (USPTO)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**



#6

Bescheinigung

Certificate

Attestation

**COPY OF PAPERS
ORIGINALLY FILED**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00830654.0

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.:
Demande n°: 00830654.0

Anmeldetag:
Date of filing:
Date de dépôt: 06/10/00 ✓

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
Baseline wander correction for MLT3 signals

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:	Tag:	Aktenzeichen:
State:	Date:	File no.
Pays:	Date:	Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:
H04L25/06

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

See for original title of the application
page 1 of the description.

THIS PAGE BLANK (USPTO)

"Sistema per la trasmissione di dati digitali con dispositivo per la correzione del "baseline wander"."

* * * * *

DESCRIZIONE

5 La presente invenzione si riferisce ad un sistema per la trasmissione di dati digitali, in particolare a 100Mb/s, con dispositivo per la correzione del "baseline wander", in particolare per un sistema ethernet. La presente invenzione si riferisce in particolare anche ad un circuito di ricezione di un sistema per la trasmissione di dati digitali, in particolare a 100Mb/s.

10 Generalmente un sistema ethernet comprende varie stazioni che trasmettono e ricevono dati da almeno un hub centrale utilizzando come mezzo di trasmissione fibre o coppie intrecciate di fili. Le varie stazioni provvedono alla trasmissione di segnali digitali attraverso il mezzo di trasmissione e sia le stazioni che l'hub centrale devono essere muniti di
15 appositi trasformatori per la ricezione e l'invio dei segnali.

 Nel caso in cui si vuole una trasmissione di dati a 100Mb/s ad esempio su una coppia intrecciata di fili di categoria 5, può essere utilizzato ad esempio un codificatore a 4 bit o a 5 bit; il segnale binario risultante a 125Mb/s è convertito in un segnale di trasmissione a tre livelli utilizzando
20 un codifica di linea MLT3. Tale codifica MLT3 è un segnale in banda base che consiste di tre livelli: +1, 0 e -1. Un segnale binario viene trasformato in un segnale MLT3 abbinando ad ogni uno una transizione ed ad ogni zero una mancanza di transizione; per esempio una serie binaria di cinque uno provocherà un uscita a ciclo attraverso i tre livelli nel seguente ordine: 0, +1,
25 0, -1, 0.

 Il canale non ideale di trasmissione che comprende i trasformatori che accoppiano sia le stazioni che l'hub centrale al mezzo di trasmissione, può far sì che la forma d'onda del segnale ricevuto sia significativamente diversa dalla forma d'onda del segnale trasmesso. Un indesiderato effetto del canale
30 di trasmissione sulla forma d'onda del segnale trasmesso è comunemente

chiamato "baseline wander". Per minimizzare i toni nello spettro di trasmissione, i dati digitali vengono mescolati prima di essere codificati secondo la codifica MLT3. Nel peggior caso l'uscita del mescolatore può avere fino a 56 zeri consecutivi. Il segnale digitale mescolato viene codificato MLT3 e poi accoppiato per esempio ad una coppia intrecciata di fili di categoria 5 attraverso dei trasformatori. Poiché i trasformatori per loro natura sono dei filtri passa-alto, l'energia al di sotto della frequenza di taglio di circa 50kHz va persa. Se nel segnale sono presenti diversi periodi con poche transizioni, il segnale perde in modo significativo energia alle basse frequenze per la presenza del trasformatore. In tal modo la forma d'onda ricevuta può avere effetti di "clipping" nel ricevitore ed indurre ad errori nei dati ricevuti anche nel caso in cui le lunghezze delle linee sono corte. Per tale motivo è necessario compensare nel ricevitore l'effetto del "baseline wander".

Una soluzione recentemente adottata permette di recuperare i dati attraverso dei data slicer, cioè degli elementi capaci di recuperare i dati nel ricevitore e mediante un convertitore digitale analogico permettono di sommare l'informazione relativa alla componente di bassa frequenza all'ingresso del ricevitore, come ampiamente descritto nell'articolo "A CMOS Transceiver for 10-Mb/s and 100-Mb/s Ethernet", IEEE Journal of Solid-state Circuits, Vol 33, No. 12, December 1998, pages 2169-2177.

In vista dello stato della tecnica descritto, scopo della presente invenzione è quello di presentare un sistema per la trasmissione di dati digitali munito di un dispositivo per la correzione del "baseline wander" che sia migliore dei dispositivi noti.

In accordo con la presente invenzione, tale scopo viene raggiunto mediante un sistema per la trasmissione di dati digitali comprendente almeno un unità atta a trasmettere un primo segnale MLT3 contenente detti dati digitali su almeno un cavo, almeno una seconda unità atta a ricevere detto primo segnale MLT3 e a recuperare detti dati digitali e trasformatori

atti a disaccoppiare dette almeno una prima e seconda unità da detto cavo, detta almeno una seconda unità comprendente un equalizzatore ricevente in ingresso detto primo segnale MLT3 e produttore un secondo segnale MLT3 di uscita a sua volta in ingresso ad un modulo per il recupero di detti dati digitali trasmessi, caratterizzato dal fatto che detta almeno una seconda
5 unità comprende un dispositivo posto in retroazione all'equalizzatore, detto dispositivo ricevendo in ingresso detto secondo segnale MLT3 e producendo in uscita un terzo segnale a bassa frequenza sommabile a detto primo segnale MLT3 in ingresso a detto equalizzatore, detto dispositivo
10 comprendendo un blocco addetto alla traslazione verso l'alto o verso il basso o alla non traslazione del secondo segnale MLT3 a seconda del valore rispettivamente basso o alto o intermedio di tale segnale ed un filtro passa basso che riceve il segnale in uscita da detto blocco di traslazione e produce in uscita detto terzo segnale contenente la componente a bassa frequenza del
15 secondo segnale MLT3.

In accordo con la presente invenzione è possibile realizzare un circuito di ricezione di un sistema per la trasmissione di dati digitali come definito nella rivendicazione 10.

Grazie alla presente invenzione è possibile realizzare un sistema per la
20 trasmissione di dati digitali munito di un dispositivo per la correzione del "baseline wander" che effettui in modo analogico tale correzione in modo più preciso e robusto per la presenza del feedback analogico.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di
25 realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 è uno schema di un sistema ethernet per la trasmissione di dati digitali a 100Mb/s secondo la presente invenzione;

la figura 2 è uno schema circuitale di un ricevitore del sistema ethernet
30 per trasmissione di dati digitali a 100Mb/s di figura 1 munito di un

dispositivo per la correzione del "baseline wander" secondo la presente invenzione;

la figura 3 è un diagramma temporale di una forma d'onda ideale della tensione in ingresso al ricevitore;

5 la figura 4 è un diagramma temporale della forma d'onda ideale della tensione in ingresso all'equalizzatore di figura 1;

le figure 5-9 sono diagrammi temporali delle tensioni nei vari punti del circuito derivate da simulazioni su un sistema ethernet del tipo di figura 1 con un cavo da 100m;

10 le figure 10-12 sono i diagrammi ad occhio delle tensioni trasmesse, ricevute e corrette derivate da simulazioni su un sistema ethernet del tipo di figura 1 con un cavo da 100m;

la figura 13 uno schema circuitale di un ricevitore del sistema ethernet per trasmissione di dati digitali a 100Mb/s di figura 1 munito di un
15 dispositivo per la correzione del "baseline wander" secondo una variante della presente invenzione.

Nella figura 1 è mostrato schematicamente un sistema ethernet per la trasmissione di dati digitali a 100Mb/s. Il sistema comprende un'unità 100 per la trasmissione di dati digitali trasformati in un segnale di tensione
20 MLT3 V(TX), cioè un segnale di tensione a tre livelli: 1V, 0, -1V in cui si abbina ad ogni uno una transizione ed ad ogni zero una mancanza di transizione. Tale segnale V(TX) viene inviato dall'unità 100 tramite un primo trasformatore 1 attraverso un cavo 2 di 100m di lunghezza costituito da una coppia di fili intrecciati di categoria 5.

25 Tramite un secondo trasformatore di disaccoppiamento 3 il segnale viene ricevuto da un ricevitore 4 mostrato più in dettaglio in figura 2; il segnale ricevuto in R (che è il segnale di ingresso in corrente per una resistenza R) è attenuato, distorto ed affetto dal fenomeno del "baseline wander" (quando nel segnale sono presenti diversi periodi con poche
30 transizioni) dato che i trasformatori 1 e 3 operano come dei filtri passa basso

con una frequenza di taglio intorno ai 50kHz.

Il segnale inR viene sommato ad un segnale Dv che è il segnale di tensione costituito dal segnale di corrente I_{blw} per la resistenza R , in modo da ottenere il segnale di tensione inE ; il segnale I_{blw} è il segnale di retroazione generato da un dispositivo 5 per la correzione del "baseline wander". Tale dispositivo comprende un comparatore 6, degli interruttori 7-9 comandati dal segnale in uscita dal comparatore 6 ed un filtro passabasso 10; agli interruttori 7 e 9 sono collegati due generatori di tensione continua rispettivamente $V1$ a 1V e $V2$ a -1V. Il segnale di tensione inE viene mandato in ingresso ad un equalizzatore 11 che produce un segnale di uscita $outE$. Tale segnale viene mandato in ingresso sia al comparatore 6 sia alla serie di interruttori 7-9; a seconda del valore di tensione del segnale $outE$, cioè se tale segnale è minore di -0,5V, compreso tra -0,5V e 0,5V, o maggiore di 0,5V, il segnale $outE$ viene traslato o no in tensione e precisamente subisce una traslazione in tensione di 1V, non viene traslato o subisce una traslazione in tensione di -1V. Il segnale $inLP$ così ottenuto viene inviato in ingresso al filtro passa basso 10 avente una frequenza di taglio intorno ai 50kHz. Il segnale di tensione in uscita al filtro 10 controlla un generatore di corrente $I(V)$ che produce il segnale di corrente I_{blw} direttamente proporzionale alla tensione in uscita dal filtro 10. In tal modo si recupera la componente continua persa nei due trasformatori 1 e 3; il blocco compreso fra i nodi dove è possibile rilevare i segnali inR ed $outE$ ha una funzione di trasferimento uguale a quella di un filtro passa alto con uno zero nell'origine ed il primo polo intorno ai 500kHz. Il segnale di uscita $outE$ è quindi simile al segnale trasmesso e viene inviato ad un blocco 20 atto a recuperare i dati digitali trasmessi. E' possibile l'utilizzo di un buffer di disaccoppiamento 300 fra l'uscita dell'equalizzatore e gli interruttori

Nelle figure 3 e 4 sono mostrate le forme d'onda ideali dei segnali di tensione inR e inE nel caso in cui vengano trasmessi sequenze di bit con 56 zero e 4 uno (dove gli uno sono indicati da transizioni di segnale mentre gli

zero da nessuna transizione); si può vedere nel segnale inR l'effetto del "baseline wander" che invece non è presente nel segnale inE per la correzione operata dal dispositivo 5.

5 Nelle figure 5-9 sono mostrati i diagrammi temporali delle tensioni nei vari punti del circuito derivate da simulazioni su un sistema ethernet del tipo di figura 1 con un cavo da 100m. Il segnale di tensione trasmesso V(TX) (figura 5) del tipo MLT3 viene attenuato e distorto dal cavo 2 e dai trasformatore 1 e 3 producendo un segnale inR (figura 6) in ingresso al ricevitore. Il segnale di corrente Iblw (figura 9), che ha un andamento
10 temporale dipendente dalla caratteristica del filtro passa basso 10, produce un segnale di tensione Dv sulla resistenza R che viene sommato al segnale inR per dare il segnale inE (figura 7) in ingresso all'equalizzatore 11. Il segnale in uscita all'equalizzatore 11 outE (figura 8) è il segnale equalizzato con la componente continua recuperata.

15 Nelle figure 10-12 sono mostrati i diagrammi ad occhio del segnale V(TX) (figura 10), del segnale inR (figura 11) e del segnale outE (figura 12) con tali segnali ottenuti da simulazioni su un sistema ethernet del tipo di figura 1 con un cavo da 100m. Si può vedere dalla distanza fra i percorsi di segnale nel diagramma ad occhio del segnale outE che tale segnale offre un
20 ampia libertà di azioni ai circuiti posti a valle del dispositivo 5 di figura 2.

Nella figura 13 è mostrato uno schema circuitale di un ricevitore del sistema ethernet per trasmissione di dati digitali a 100Mb/s di figura 1 munito di un dispositivo per la correzione del "baseline wander" secondo una variante della presente invenzione. Tale schema circuitale differisce
25 dallo schema circuitale di figura 2 per la presenza di un convertitore tensione-corrente 200 che converte il segnale di tensione outE in uscita dall'equalizzatore 11 in una corrente Iout che viene mandata in ingresso sia al comparatore 6 sia agli interruttori 7-9 comandati dal comparatore 6. Agli interruttori 7 e 9 sono in tal caso collegati rispettivamente due generatori di
30 corrente continua I1 e I2, con rispettivi valori di 100µA e -100µA. A

seconda del valore del segnale I_{out} , cioè se tale segnale è minore di $-50\mu A$, compreso tra $-50\mu A$ e $50\mu A$, o maggiore di $50\mu A$, il segnale I_{out} viene traslato o no in corrente e precisamente rispettivamente subisce una traslazione in corrente di $100\mu A$, non viene traslato o subisce una traslazione in corrente di $-100\mu A$. Il segnale I_{inLP} così ottenuto viene inviato in ingresso al filtro passa basso 10 avente una frequenza di taglio intorno ai 50kHz. Il segnale di tensione in uscita dal filtro controlla il generatore di corrente $I(V)$ che produce il segnale di corrente I_{blw} direttamente proporzionale alla tensione in uscita dal filtro 10.

10

RIVENDICAZIONI

1. Sistema per la trasmissione di dati digitali comprendente almeno un unità (100) atta a trasmettere un primo segnale MLT3 (V(TX)) contenente detti dati digitali su almeno un cavo (2), almeno una seconda unità (4) atta a ricevere detto primo segnale MLT3 (inR) e a recuperare detti dati digitali e trasformatori (2, 3) atti a disaccoppiare dette almeno una prima (100) e seconda (4) unità da detto cavo (2), detta almeno una seconda unità (4) comprendente un equalizzatore (11) ricevente in ingresso detto primo segnale MLT3 (inR) e produttore un secondo segnale MLT3 (outE) di uscita a sua volta in ingresso ad un modulo (20) per il recupero di detti dati digitali trasmessi, caratterizzato dal fatto che detta almeno una seconda unità (4) comprende un dispositivo (5) posto in retroazione all'equalizzatore (11), detto dispositivo (5) ricevendo in ingresso detto secondo segnale MLT3 (outE) e producendo in uscita un terzo segnale (Dv) a bassa frequenza sommabile a detto primo segnale MLT3 (inR) in ingresso a detto equalizzatore (11), detto dispositivo (5) comprendendo un blocco (6-9, V1, V2; 6-9, I1, I2) addetto alla traslazione verso l'alto o verso il basso o alla non traslazione del secondo segnale MLT3 (outE) a seconda del valore rispettivamente basso o alto o intermedio di tale segnale ed un filtro passa basso (10) che riceve il segnale (inLP; IinLP) in uscita da detto blocco di traslazione (6-9, V1, V2; 6-9, I1, I2) e produce in uscita detto terzo segnale (Dv) contenente la componente a bassa frequenza del secondo segnale MLT3 (outE).

2. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto secondo segnale MLT3 (outE) è un segnale di tensione e in detto blocco di traslazione (6-9, V1, V2) detto secondo segnale MLT3 (outE) viene traslato di -1V o di 1V a seconda se il valore dello stesso secondo segnale MLT3 (outE) è maggiore di 0.5V o è minore di -0.5V mentre non si ha nessuna traslazione di detto secondo segnale MLT3 (outE) se il suo valore è compreso tra -0.5V e 0.5V.

3. Sistema secondo la rivendicazione 2, caratterizzato dal fatto che detto blocco di traslazione (6-9, V1, V2) comprende un comparatore (6) con soglie di 0.5V e -0.5V ed avente in ingresso detto secondo segnale MLT3 (outE), detto comparatore (6) comandando tre switch (7-9) tutti collegati all'uscita di detto equalizzatore (11) e solo due (7, 9) collegati a due generatori di tensione continua (V1, V2) di rispettivo valore -1V e 1V.

4. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto secondo segnale MLT3 (outE) è un segnale di tensione ed in detto blocco di traslazione (6-9, I1, I2) detto secondo segnale MLT3 (outE) viene convertito tramite un convertitore tensione/corrente (200) in modo da produrre un segnale di corrente (Iout) che corrente che viene traslato di -100 μ A o di 100 μ A a seconda se il valore dello stesso segnale di corrente (Iout) è maggiore di 50 μ A o è minore di -50 μ A mentre non si ha nessuna traslazione di detto segnale di corrente (Iout) se il suo valore è compreso tra -50 μ A e 50 μ A.

5. Sistema secondo la rivendicazione 4, caratterizzato dal fatto che detto blocco di traslazione (6-9, I1, I2) comprende un comparatore (6) con soglie di 50 μ A e -50 μ A ed avente in ingresso detto segnale di corrente (Iout), detto comparatore (6) comandando tre switch (7-9) tutti collegati all'uscita di detto convertitore tensione/corrente (200) e solo due (7, 9) collegati a due generatori di corrente continua (I1, I2) di rispettivo valore -100 μ A e 100 μ A.

6. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto segnale in uscita dal filtro passa basso (10) è un segnale di tensione che controlla un generatore di corrente (I(V)) che fornisce un segnale di corrente (Iblw) produttore ai capi di una resistenza (R) disposta fra l'ingresso dell'equalizzatore (11) ed il trasformatore (3) del ricevitore (4) detto terzo segnale (Dv).

7. Sistema secondo la rivendicazione 6, caratterizzato dal fatto di comprendere un buffer di disaccoppiamento (300) a monte di detti switch (7-9).

8. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto sistema per la trasmissione di dati digitali è un sistema ethernet.

9. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto sistema per la trasmissione di dati digitali è un sistema per la trasmissione di dati digitali a 100Mb/s.

10. Circuito di ricezione (4) di un sistema per la trasmissione di dati digitali comprendente un equalizzatore (11) ricevente in ingresso un primo segnale MLT3 (inR) e producente un secondo segnale MLT3 (outE) di uscita a sua volta in ingresso ad un modulo (20) per il recupero di dati digitali contenuti in detto secondo segnale MLT3 (outE), caratterizzato dal fatto di comprendere un dispositivo (5) posto in retroazione all'equalizzatore (11), detto dispositivo (5) ricevendo in ingresso detto secondo segnale MLT3 (outE) e producendo in uscita un terzo segnale (Dv) a bassa frequenza sommabile a detto primo segnale MLT3 (inR) in ingresso a detto equalizzatore (11), detto dispositivo (5) comprendendo un blocco (6-9, V1, V2; 6-9, I1, I2) addetto alla traslazione verso l'alto o verso il basso o alla non traslazione del secondo segnale MLT3 (outE) a seconda del valore rispettivamente basso o alto o intermedio di tale segnale ed un filtro passa basso (10) che riceve il segnale (inLP; linLP) in uscita da detto blocco di traslazione (6-9, V1, V2; 6-9, I1, I2) e produce in uscita detto terzo segnale (Dv) contenente la componente a bassa frequenza del secondo segnale MLT3 (outE).

11. Circuito secondo la rivendicazione 10, caratterizzato dal fatto che detto secondo segnale MLT3 (outE) è un segnale di tensione e in detto blocco di traslazione (6-9, V1, V2) detto secondo segnale MLT3 (outE) viene traslato di -1V o di 1V a seconda se il valore dello stesso secondo segnale MLT3 (outE) è maggiore di 0.5V o è minore di -0.5V mentre non si ha nessuna traslazione di detto secondo segnale MLT3 (outE) se il suo valore è compreso tra -0.5V e 0.5V.

12. Circuito secondo la rivendicazione 11, caratterizzato dal fatto che

detto blocco di traslazione (6-9, V1, V2) comprende un comparatore (6) con soglie di 0.5V e -0.5V ed avente in ingresso detto secondo segnale MLT3 (outE), detto comparatore (6) comandando tre switch (7-9) tutti collegati all'uscita di detto equalizzatore (11) e solo due (7, 9) collegati a due generatori di tensione continua (V1, V2) di rispettivo valore -1V e 1V.

13. Circuito secondo la rivendicazione 10, caratterizzato dal fatto che detto secondo segnale MLT3 (outE) è un segnale di tensione ed in detto blocco di traslazione (6-9, I1, I2) detto secondo segnale MLT3 (outE) viene convertito tramite un convertitore tensione/corrente (200) in modo da produrre un segnale di corrente (Iout) che corrente che viene traslato di -100 μ A o di 100 μ A a seconda se il valore dello stesso segnale di corrente (Iout) è maggiore di 50 μ A o è minore di -50 μ A mentre non si ha nessuna traslazione di detto segnale di corrente (Iout) se il suo valore è compreso tra -50 μ A e 50 μ A.

14. Circuito secondo la rivendicazione 13, caratterizzato dal fatto che detto blocco di traslazione (6-9, I1, I2) comprende un comparatore (6) con soglie di 50 μ A e -50 μ A ed avente in ingresso detto segnale di corrente (Iout), detto comparatore (6) comandando tre switch (7-9) tutti collegati all'uscita di detto convertitore tensione/corrente (200) e solo due (7, 9) collegati a due generatori di corrente continua (I1, I2) di rispettivo valore -100 μ A e 100 μ A.

15. Circuito secondo la rivendicazione 10, caratterizzato dal fatto che detto segnale in uscita dal filtro passa basso (10) è un segnale di tensione che controlla un generatore di corrente (I(V)) che fornisce un segnale di corrente (Iblw) produttore ai capi di una resistenza (R) disposta fra l'ingresso dell'equalizzatore (11) ed il trasformatore (3) del ricevitore (4) detto terzo segnale (Dv).

16. Circuito secondo la rivendicazione 15, caratterizzato dal fatto di comprendere un buffer di disaccoppiamento (300) a monte di detti switch (7-9).

17. Circuito secondo la rivendicazione 10, caratterizzato dal fatto che detto sistema per la trasmissione di dati digitali è un sistema ethernet.

18. Circuito secondo la rivendicazione 10, caratterizzato dal fatto che detto sistema per la trasmissione di dati digitali è un sistema per la trasmissione di dati digitali a 100Mb/s.

5

"Sistema per la trasmissione di dati digitali con dispositivo per la correzione della "baseline wander"."

* * * * *

RIASSUNTO

5 E' descritto un sistema per la trasmissione di dati digitali comprendente almeno un unità (100) atta a trasmettere un primo segnale MLT3 (V(TX)) contenente i dati digitali su almeno un cavo (2), almeno una seconda unità (4) atta a ricevere il primo segnale MLT3 (inR) e a recuperare i dati digitali e trasformatori (2, 3) atti a disaccoppiare l'almeno una prima (100) e la
10 seconda (4) unità dal cavo (2). L'almeno una seconda unità (4) comprende un equalizzatore (11) ricevente in ingresso il primo segnale MLT3 (inR) e producente un secondo segnale MLT3 (outE) di uscita a sua volta in ingresso ad un modulo (20) per il recupero dei dati digitali trasmessi. L'almeno una seconda unità (4) comprende un dispositivo (5) posto in
15 retroazione all'equalizzatore (11); tale dispositivo (5) riceve in ingresso il secondo segnale MLT3 (outE) e produce in uscita un terzo segnale (Dv) a bassa frequenza sommabile al primo segnale MLT3 (inR) in ingresso all'equalizzatore (11). Il dispositivo (5) comprende un blocco (6-9, V1, V2; 6-9, I1, I2) addetto alla traslazione verso l'alto o verso il basso o alla non
20 traslazione del secondo segnale MLT3 (outE) a seconda del valore rispettivamente basso o alto o intermedio di tale segnale ed un filtro passa basso (10) che riceve il segnale (inLP; IinLP) in uscita dal blocco di traslazione (6-9, V1, V2; 6-9, I1, I2) e produce in uscita il terzo segnale (Dv) contenente la componente a bassa frequenza del secondo segnale MLT3
25 (outE). (Figura 2)

THIS PAGE BLANK (USPTO)